

(5) Japanese Patent Application Laid-Open No. 60-74560 (1985)

“METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE”

The following is an English translation of an extract of the above application.

5 【claim 1】 A method of manufacturing a semiconductor device comprising the steps of:

 (a) covering a surface of a semiconductor substrate with a film capable of performing reactive ion etching;

 (b) further covering said surface with photoresist;

 (c) forming an opening in said photoresist at which a well having a reverse conductivity type to said semiconductor substrate is to be formed;

 (d) removing said film at the periphery of said opening by performing reactive ion etching;

 (e) introducing a reverse conductivity type impurity into a semiconductor substrate region which is specified by said opening, to form a well; and

15 (f) forming a trench in a portion of said semiconductor substrate at the same position as a removed portion of said film,

 wherein an insulating material is buried in said trench so that said insulating material terminates a pn junction in said well.

⑫ 公開特許公報 (A) 昭60-74560

⑬ Int.Cl.
H 01 L 27/08
29/78識別記号 102
厅内整理番号 6655-5F
8422-5F

⑭ 公開 昭和60年(1985)4月26日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭58-180583
⑰ 出願 昭58(1983)9月30日

⑮ 発明者 高橋 宏政 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑯ 発明者 深野 哲 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑰ 出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑯ 代理人 弁理士 柏谷 昭司 外1名

明細書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

半導体基板表面を反応性イオン・エッティング可能な膜で覆い、更にフォト・レジストにて覆い、前記半導体基板と逆導電型のウエルを形成すべき部分に於ける前記フォト・レジストに開口を形成し、反応性イオン・エッティングに依り前記開口の周縁に於ける前記膜を除去し、前記開口で定まる半導体基板領域に逆導電型不純物を導入してウエルを形成し、前記膜の除去部分と同じ位置の半導体基板部分に溝を形成し、前記溝に絶縁物を埋め込むことに依り該絶縁物で前記ウエルに於けるp-n接合を終端させることを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

発明の技術分野

本発明は、ラッチ・アップを防止するのに有効な構造を有する半導体装置の製造方法に関するものである。

方法に関する。

従来技術と問題点

第1図は従来の代表的なCMOS半導体装置を表わす要部切断側面図である。

図に於いて、1はn型半導体基板、2はp型ウエル、3はnチャネル・トランジスタのゲート電極、4及び5はnチャネル・トランジスタを構成するためのn+型不純物拡散領域、6はp+型接地コンタクト領域、7はpチャネル・トランジスタのゲート電極、8及び9はpチャネル・トランジスタを構成するためのp+型不純物拡散領域、10はn+型電源コンタクト領域、V_{dd}は正側電源レベルをそれぞれ示している。

さて、このようなCMOS半導体装置では、寄生のバイポーラ・トランジスタが形成され、サイリスタ作用に依りラッチ・アップ現象を呈し易いことで良く知られている。

即ち、n+型不純物拡散領域4とp型ウエル2とn型半導体基板1とで縦方向に構成されるn-p-nトランジスタ及びp型ウエル2とp型半導体基

板1とp+型不純物鉛散領域8とで横方向に構成されるpnpトランジスタである。

第2図は前記寄生バイポーラ・トランジスタの構成を等価回路的に表わしたものである。

図に於いて、Q1は寄生npnトランジスタ、Q2は寄生pnpトランジスタ、R1, R2, R3, R4, R5は各部分の内部抵抗をそれぞれ示している。

このトランジスタQ1, Q2は、通常、オフになっているが、何等かの原因で例えばトランジスタQ1のベースにノイズ電流が流れるとトランジスタQ1はオン状態になる。このトランジスタQ1の増幅率はかなり大きいので、オン状態では大きな電流を引き込むことになり、抵抗R5には電位降下が生じ、その結果、トランジスタQ2のベースにも電流が流れ、オン状態となる。そして、このトランジスタQ1及びQ2のオン状態は、それ等をオンにした原因が解消、即ち、ノイズ電流がなくなっても維持され、所謂、ラッチ・アップの状態になるものであり、このような状態では最

もCMOS半導体装置として機能しないことは当然である。尚、このようなラッチ・アップ現象は半導体装置が微細化されるほど発生し易くなる。

そこで、斯かるCMOS半導体装置のラッチ・アップ現象を抑制する為、p型ウエルの周辺に於けるpn接合部分を酸化物アイソレーションに置換する構造が提案された(要すれば特開昭52-151574号公報参照)。

然し乍ら、この従来技術に於ける前記酸化物アイソレーションの形成方法は、陽極酸化法にてシリコン半導体基板を多孔質化してからその部分を熱酸化するものであり、アイソレーションの幅としては約10(μm)にも達し、現在の高密度化集積回路にとって不向きである。

ところで、幅が狭い絶縁物アイソレーションに関する技術は、現在盛んに研究開発が進められている状況であるが、この技術をCMOS半導体装置に於けるウエル周辺の絶縁物アイソレーションに適用するにしても、該技術とCMOS半導体装置の製造プロセスとを充分に適合させなければ

ならない。

発明の目的

本発明は、前記技術的背景に立ち、絶縁物アイソレーションの形成をCMOS半導体装置の製造プロセス内でセルフ・アラインメントで実施することができるよう、また、得られるCMOS半導体装置のラッチ・アップ耐圧を向上させることができるようにする。

発明の構成

本発明の半導体装置の製造方法では、半導体基板表面を反応性イオン・エッティング可能な膜で覆い、更にフォト・レジストにて覆い、前記半導体基板と逆導電型のウエルを形成すべき部分に於ける前記フォト・レジストに開口を形成し、反応性イオン・エッティングに依り前記開口周辺に於ける前記膜を除去し、前記開口で定まる半導体基板領域に逆導電型不純物を導入してウエルを形成し、前記膜の除去部分と同じ位置の半導体基板部分に溝を形成し、前記溝に絶縁物を埋め込むことにより該絶縁物で前記ウエルに於けるpn接合を終結

させるようにしているので、所謂、絶縁物アイソレーションの形成はセルフ・アラインメントで実施され、また、例えば、第1図に見られる縦方向のn+pnトランジスタはさておき、横方向のpnpトランジスタは前記溝を埋める絶縁物膜に遮られて形成され難いので、ラッチ・アップ耐圧は飛躍的に向上するものである。

発明の実施例

第3図乃至第8図は本発明一実施例を製造する場合について解説する為の工程要所に於けるCMOS半導体装置の要部切断側面図であり、次に、これ等の各図を参照しつつ説明する。尚、第1図及び第2図に關して説明した部分と同部分は同記号で指示してある。

第3図参照

① n型シリコン半導体基板1に化学気相堆積法(CVD法)を適用することに依り窒化シリコン(Si₃N₄)膜1-1を厚さ1500(Å)程度に形成する。

② マグネットロン・スパッタ法を適用することに

依りモリブデン・シリサイド ($MoSi_2$) 膜 1 2 を厚さ 3 0 0 0 [Å] 程度に形成する。

フォト・リソグラフィ技術を適用することに依りフォト・レジスト膜 1 3 を形成し、これにペーチング、露光、現像等所定の加工を加えてパターニングすることに依りウエルを形成する為の開口 1 3 A を形成する。

これに依り、開口 1 3 A 内には $MoSi_2$ 膜 1 2 の一部が露出される。

④ 全体を平行平板型リアクティブ・イオン・ビーム・エッティング装置中に配置し、エッチャントとして $CCl_4 + O_2$ 混合ガスを使用してリアクティブ・イオン・ビーム・エッティングを行なう。

通常、この様のエッティングを行なうと、フォト・レジスト膜 1 3 で被覆されていない部分がエッティングされる筈であるが、前記エッチャントの混合ガスに於ける O_2 の分圧比を 6.0 乃至 7.0 [%) 程度に相対的に増加させるとエッティングはフォト・レジスト膜 1 3 のエッジに沿ってのみ行なわれ、細い溝 1 2 A が形成される。この細い第

7

N_4 膜 1 1 をマスクにしてシリコン半導体基板 1 のエッティングを行ない p 型ウエル 2 の周囲に微細な溝 2 A を形成する。尚、このエッティングを行なう際には $MoSi_2$ 膜 1 2 を除去して良い。

第 7 図参照

⑤ 热酸化法或いは CVD 法を適用して前記溝 2 A 中に SiO_2 等を埋め込むことに依り、 p 型ウエル 2 の周辺に自己整合で絶縁物膜 1 4 を形成する。

⑥ Si_3N_4 膜 1 1 を除去すると図示の状態になる。

第 8 図参照

⑦ この後、通常の技術を適用して n チャネル・トランジスタのゲート電極 3、 n チャネル・トランジスタを構成する為の n^+ 型不純物拡散領域 4 及び 5、 p^+ 型接地コンタクト領域 6、 p チャネル・トランジスタのゲート電極 7、 p チャネル・トランジスタを構成する為の p^+ 型不純物拡散領域 8 及び 9、 n^+ 型電源コンタクト領域 1 0、例えば SiO_2 からなる絶縁膜 1 5、例えばアルミ

1 2 A の幅は 1 [μm] 以下であり、極めて微細である。尚、この技術に関する詳細は特願昭 57-209178 号或いは雑誌「セミコンダクタ・ワールド」(西暦 1983 年 10 月号 第 49 頁乃至第 52 頁)などを参照されると良い。

第 4 図参照

⑧ 反応性イオン・エッティング法を適用し、 $MoSi_2$ 膜 1 2 をマスクとして Si_3N_4 膜 1 1 をエッティングすることに依り溝 1 2 A と同様な溝 1 1 A を形成する。

⑨ マスクとして使用した $MoSi_2$ 膜 1 2 のうち、開口 1 3 A 内の部分を除去してから、イオン注入法を適用し、 p 型ウエルを形成する為の種業 (B) イオンを 1×10^{13} [cm⁻²] 程度のドーズ量で打ち込みを行なう。

第 5 図参照

⑩ 所謂ランニングと呼ばれる熱処理を行なうと図示のよう p 型ウエル 2 が形成される。

第 6 図参照

⑪ 反応性イオン・エッティング法を適用し Si_3

8

ニウム (A) からなるソース電極 1 6、ドレン電極 1 7、ゲート電極 1 8、 p 型ウエル・コンタクト電極 1 9、ソース電極 2 0、ドレン電極 2 1、ゲート電極 2 2、基板コンタクト電極 2 3 等を形成し CMOS 構造にすれば良い。尚、Q N は n チャネル側トランジスタ、Q P は p チャネル側トランジスタを示している。

このようにして製造した CMOS 半導体装置にでは、第 1 図及び第 2 図に開示して説明した寄生バイポーラ・トランジスタ Q 1 及び Q 2 のうち、 p n p トランジスタであるトランジスタ Q 2 のベースに絶縁物膜 1 4 が形成された構造になり、該トランジスタ Q 2 の電流増幅率が低下するとともに抵抗 R 2 が大きくなることが明らかである。

発明の効果

本発明の半導体装置の製造方法に依れば、半導体基板表面を反応性イオン・エッティング可能な膜で覆い、更にフォト・レジストにて覆い、前記半導体基板と逆導電型のウエルを形成すべき部分に於ける前記フォト・レジストに開口を形成し、反

9

1 0

応性イオン・エッティングに依り前記開口周縁に於ける前記膜を除去し、前記開口で定まる半導体基板領域に逆導電型不純物を入してウエルを形成し、前記膜の除去部分と同じ位置の半導体基板部分に溝を形成し、前記溝に絶縁物を埋め込むことにより該絶縁物で前記ウエルに於けるp-n接合を終端させるようにしている為、前記ウエルの周辺に於ける絶縁物アイソレーションはセルフ・アライメントで形成することができ、その幅は1 (μm) 以下であって極めて微細であるから高密度化を必要とされる集積回路に好適であり、そして、得られるCMOS半導体装置に於いては、横方向に形成される寄生バイポーラ・トランジスタであるp-n-pトランジスタの電流増幅率が著しく低下し、また、内部抵抗の一部が大きくなることに依り、ラッチ・アップ時の電流を保持し難くなり、その結果、ラッチ・アップ耐圧は向上するものである。

4 図面の簡単な説明

第1図は従来例に於ける寄生バイポーラ・トランジスタの構造図、第2図は第

1図の従来例に於ける寄生バイポーラ・トランジスタが発生する関係を説明する為の要部等価回路図、第3図乃至第8図は本発明一実施例を製造する場合の説明をする為の工程要所に於けるCMOS半導体装置の要部切断側面図である。

図に於いて、1はn型半導体基板、2はp型ウエル、3はnチャネル・トランジスタのゲート電極、4及び5はnチャネル・トランジスタを構成する為のn⁺型不純物拡散領域、6はp⁺型接地コンタクト領域、7はpチャネル・トランジスタのゲート電極、8及び9はpチャネル・トランジスタを構成する為のp⁺型不純物拡散領域、10はn⁺型電源コンタクト領域、11は塗化シリコン(Si₃N₄)膜、12はモリブデン・シリサイド(MoSi₂)膜、12Aは窓、13はフォト・レジスト膜、13Aは開口、14は絶縁膜、15は絶縁膜、16及び20はソース電極、17及び21はドレイン電極、18及び22はゲート電極、19はウエル・コンタクト電極、23は基板コンタクト電極、Q1Nはnチャネル側トランジ

11

12

スタ、Q1Pはpチャネル側トランジスタ、V_{DD}は正側電源レベル、Q1は寄生n-p-nトランジスタ、Q2は寄生p-n-pトランジスタ、R1, R2, R3, R4, R5は内部抵抗である。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一

13

四
一
禁

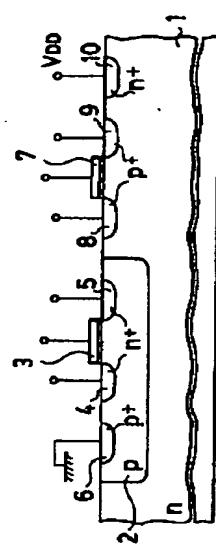


圖 2

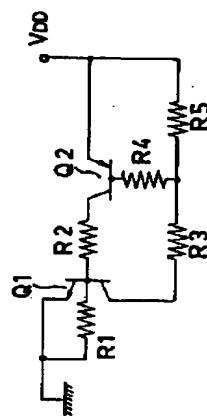
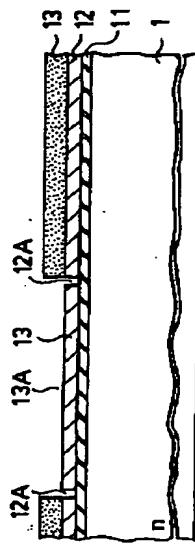
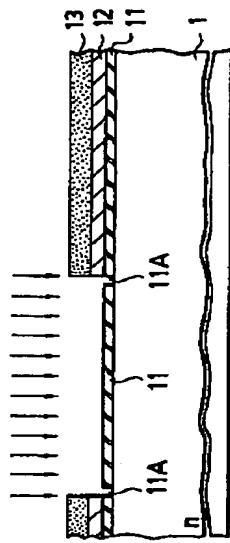


圖 3 第



四



四 5 第

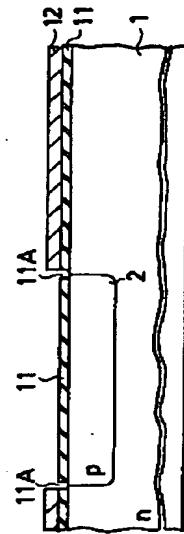
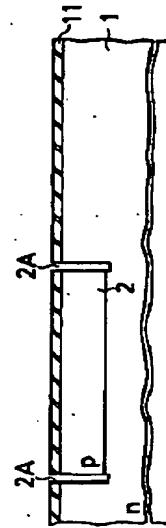
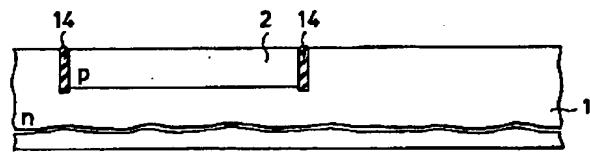


圖 6 第



第 7 図



第 8 図

